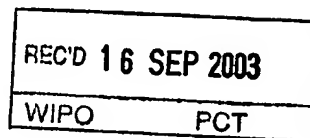


PCT/DE 03/02544

BUNDESREPUBLIK DEUTSCHLAND



5

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 102 34 648.8

Anmeldetag: 29. Juli 2002

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Halbleiterwafer mit elektrisch verbundenen
Kontakt- und Prüfflächen

IPC: H 01 L 23/50

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 26. August 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Stemme

FIN 404 P/200209467

19

Zusammenfassung

Anordnung von Kontaktflächen und Prüfflächen auf strukturier-
ten Halbleiterchip

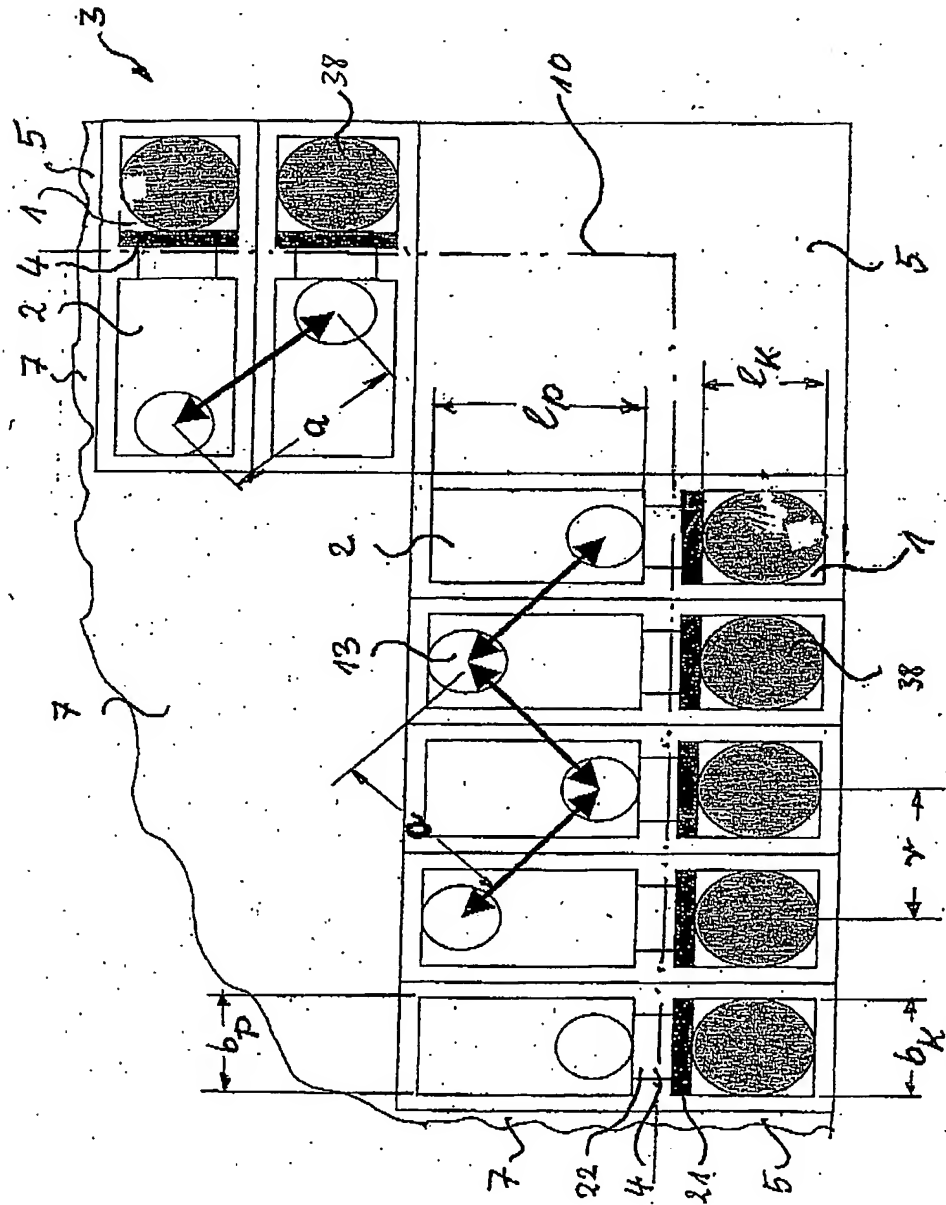
5

Die Erfindung betrifft eine Anordnung von Kontaktflächen (1) und Prüfflächen (2) auf strukturierten Halbleiterchip (3). Die Kontaktflächen (1) und die Prüfflächen (2) sind über einen Leitungssteg (4) elektrisch miteinander verbunden. Während die Kontaktflächen (1) in einem ersten Bereich (5), der keine Komponenten einer integrierten Schaltung aufweist, angeordnet sind, liegen die Prüfflächen (2) in einem zweiten Bereich (7) der Oberseite des Halbleiterchips (3), der Komponenten (6) einer integrierten Schaltung aufweist.

15

[Figur 1]

Fig. 1



FIN 404 P/200209467

1

Beschreibung

Halbleiterwafer mit elektrisch verbundenen Kontakt- und Prüfflächen

5

Die Erfindung betrifft einen Halbleiterwafer mit elektrisch verbundenen Kontakt- und Prüfflächen, sowie ein elektronisches Bauteil mit einem Halbleiterchip eines derartigen Halbleiterwafers und Verfahren zur Nachbearbeitung des Halbleiterwafers gemäß der Gattung der unabhängigen Ansprüche.

10

Durch eine stete Verkleinerung der Kontaktflächen auf Halbleiterwafern ergeben sich insbesondere Probleme bei dem Funktionstest auf Waferebene eines Halbleiterchips, da bei zunehmender Anzahl von Kontaktflächen pro Test bei gleichzeitiger Miniaturisierung der Abmessung der Kontaktflächen erhöhte Kontaktprobleme beim Test auftreten. Probleme entstehen auch beim Bonden von Kontaktflächen, die bereits durch den Funktionstest aufgrund der Prüfspitzen beschädigt wurden, so dass es bei der Fertigung zu erhöhtem Ausschuss kommt.

15

20

Aus der Druckschrift US 5,506,499 ist es bekannt, eine von der Kontaktfläche für ein Bonden getrennte Prüffläche vorzusehen, die mit der Kontaktfläche elektrisch verbunden ist. Für diese Ausgestaltung wird zusätzliche Chipfläche benötigt, um die zusätzliche Prüffläche neben jeder Kontaktfläche auf dem Halbleiterchip unterzubringen. Die aus der US 5,506,499 bekannte Lösung führt zu einer Vergrößerung der benötigten Chipfläche und steht Miniaturisierungsbestrebungen in der Halbleitertechnologie entgegen.

25

30

Der Erfindung liegt die Aufgabe zugrunde, Halbleiterchips und elektronische Bauteile bereitzustellen, die geringere Außen-

FIN 404 P/200209467

2

maße aufweisen, wobei eine zuverlässige Kontaktierung und Überprüfung jedes Halbleiterchips gewährleistet ist.

5 Gelöst wird diese Aufgabe mit dem Gegenstand der unabhängigen Ansprüche. Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den jeweiligen abhängigen Ansprüchen.

10 Erfindungsgemäß wird ein Halbleiterwafer mit einer Vielzahl von Halbleiterchips bereitgestellt, wobei die Halbleiterchips eine Anordnung von jeweils elektrisch leitend miteinander verbundenen Kontaktflächen und Prüfflächen aufweisen. Die Kontaktflächen sind in einem passiven ersten Bereich der Oberseite des Halbleiterchips angeordnet, der keine Komponenten einer integrierten Schaltung aufweist. Die Prüfflächen
15 sind in einem aktiven zweiten Bereich der Oberseite des Halbleiterchips angeordnet, der Komponenten einer integrierten Schaltung aufweist.

20 Dieser Halbleiterwafer hat den Vorteil, dass die Prüfflächen gegenüber den Kontaktflächen wesentlich vergrößert werden können. Damit wird eine zuverlässigere Kontaktgabe der Testspitzen ermöglicht, weil gruppenweise auf den Halbleiterwafer aufgesetzten Prüfspitzen jeweils einen höheren Toleranzbereich für die Positionierung zur Verfügung haben. Außerdem haben die Prüfspitzen Platz, kleine Bewegungen und sie können sich auf einer größeren Fläche der Prüfflächen anlegen. Gleichzeitig ist der Flächenbedarf pro Halbleiterchip vermindert, da nur noch für Kontaktflächen und nicht mehr auch für die Prüfflächen ein passiver erster Bereich der
30 Oberfläche ohne Komponenten einer integrierten Schaltung vorgesehen werden braucht. Die Anzahl der Halbleiterchips pro Halbleiterwafer kann vergrößert werden. Außerdem wird die für je einen Halbleiterchip benötigte Fläche des Halbleiterwafers

FIN 404 P/200209467

3

bei gleichzeitig verbesserten Prüfbedingungen und verbesserten Bondbedingungen erheblich vermindert.

Der passive erste Bereich eines Halbleiterchips wird bevorzugt für Kontaktflächen genutzt, um die Komponenten des aktiven zweiten Bereichs bei einem Verbinden mit Bonddrähten oder mit Flip-Chip-Kontakten keinen thermischen und mechanischen Belastungen auszusetzen. Damit wird der Gefahr begegnet, dass die Eigenschaften der aktiven Komponenten durch thermische und mechanische Belastungen verändert werden. Diese Belastungen treten bei einer Funktionsprüfung, die auf den Prüfflächen durchgeführt wird, nicht auf.

Auf einer gegenüber der Länge der Kontaktflächen vergrößerten Länge von Prüfflächen können auch mehrere Prüfspitzen gleichzeitig aufgesetzt werden, was die Prüfsicherheit vergrößert. So kann beispielsweise eine Prüfspitze das Mess-Signal anbieten, während eine zweite Prüfspitze auf der gleichen Prüffläche überprüft und misst, ob das Mess-Signal in voller Höhe auf der Prüffläche zur Verfügung steht.

Außerdem können in vorteilhafter Weise mehrere Prüfspitzen von Prüffläche zu Prüffläche versetzt angeordnet werden, so dass ein vorgegebener minimaler Prüfspitzenabstand eingehalten werden kann. Deswegen können erfindungsgemäße Halbleiterchips auch mit Meßapparaturen überprüft werden, deren minimaler Prüfspitzenabstand größer ist als der Mittenabstand zwischen den Kontaktflächen. So können beispielsweise Prüfkarten mit einem Mess-Spitzen-Abstand von beispielsweise 90 Mikrometern eingesetzt werden, obgleich der Mittenabstand der Kontaktflächen beispielsweise lediglich 50 Mikrometer beträgt.

Gegenüber dem Stand der Technik der US 5,506,499 wird mit der Erfindung der Oberflächenbedarf für einen Halbleiterchip wesentlich verringert. Bei gleichem Oberflächenbedarf ist es dann möglich, eine größere Anzahl von Kontaktflächen bereitzustellen. Gegenüber der US 5,506,499 kann auch ein deutlich verringertes Rastermaß der Kontaktflächen erreicht werden.

Außerdem können mehrfache Messungen auf einer Prüffläche hintereinander durchgeführt werden, wobei der jeweilige Meßpunkt im Bereich der Prüffläche versetzt wird. Das Anordnen der Prüfflächen in dem zweiten Bereich der Oberseite des Halbleiterchips mit Komponenten einer integrierten Schaltung bringt somit eine größere Zuverlässigkeit der Funktionstests, ohne den Oberflächenbedarf eines Halbleiterchips zu vergrößern.

15

Wenn im aktiven Bereich zwischen den aktiven Komponenten einer integrierten Schaltung und den Prüfflächen eine elektrisch isolierende Schicht angeordnet ist, dann werden Kurzschlüsse zwischen den Elektroden der aktiven Komponenten einer darunter liegenden integrierten Schaltung verhindert. Auf dem passiven Bereich braucht eine solche elektrisch isolierende Schicht nicht unbedingt vorgesehen werden, weil dort keine Leiterbahnen der integrierten Schaltung austreten. Eine derartige isolierende Schicht kann Siliciumdioxid und/oder Siliciumnitrid aufweisen. Wegen der hohen Durchschlagfestigkeit diese Materialien können isolierende Schichten mit Dicken im Bereich eines Mikrometers bereits ausreichen.

25

Das Material der Prüfflächen und/oder der Kontaktflächen kann Aluminium oder eine Aluminiumlegierung aufweisen. Eine Kontaktfläche oder eine Prüffläche können auch die Oberseite einer mehrlagigen Beschichtung bilden, wobei die Prüffläche und/oder die Kontaktfläche Palladium oder Tantal als eine La-

30

ge in der mehrlagigen Schicht aufweisen. Palladium und Tantal bilden dabei Diffusionssperren für Siliciumatome und vermindern gleichzeitig die Migration von Aluminium beziehungsweise Aluminiumlegierungen.

5

Die Prüfflächen und/oder die Kontaktflächen können als oberste Lage Gold oder eine Goldlegierung aufweisen, die besonders oxidations-, korrosions- und erosionsfest ist. Weiterhin können die Prüfflächen und/oder die Kontaktflächen Kupfer oder eine Kupferlegierung als Basislage aufweisen. In diesem Fall wird eine Aluminium- oder Goldbeschichtung der Prüflinien und/oder Kontaktflächen durch eine Metall-Legierungsschicht beispielsweise aus Titanlegierungen, Tantalverbindungen oder Nickellegierungen als Zwischenlage vor einer Kupferdiffusion geschützt.

15

Im Bereich des Leitungssteiges, der zwischen einer Kontaktfläche und einer Prüffläche angeordnet ist, können besonders vorteilhaft Durchkontakte durch die isolierende Schicht zwischen Prüfkontakten und Elektroden von Komponenten der darunter liegenden integrierten Schaltung vorgesehen sein. Diese Durchkontakte verbinden die Kontaktflächen im Bereich der Leitungssteige über Leiterbahnen, die unter der isolierenden Schicht angeordnet sind, mit Elektroden der Komponenten der integrierten Schaltung. Eine Matrix aus Durchkontakten läßt die Oberfläche des Leitungssteiges uneben erscheinen. Gemäß der Erfindung werden die Durchkontakte nicht mehr unterhalb der Kontaktflächen oder unterhalb der Prüfflächen angeordnet, wodurch insbesondere eine störungsfreie Kontaktfläche für das Anbringen von Bondverbindungen beziehungsweise von Flip-Chip-Kontakten zur Verfügung steht.

20

25

30

FIN 404 P/200209467

6

Derartige Leiterbahnen können aus Kupfer oder aus einer Kupferlegierung realisiert sein. Dann kann noch eine diffusionshemmende Metalllage zwischen Durchkontakten und Kupferleitungen vorgesehen werden.

5

Eine weitere Ausführungsform der Erfindung sieht vor, dass die Kontaktflächen hinsichtlich ihrer Abmessungen optimiert werden. Dabei ergibt sich in der Draufsicht ein quadratischer oder kreisrunder Umriss. Damit wird eine Miniaturisierung des vorzusehenden passiven ersten Bereichs einer Halbleiterchipoberfläche und damit eine vergrößerte Anzahl an Halbleiterchips auf einem Halbleiterwafer begünstigt.

10

Auf dem Halbleiterchip vorgesehene Isolations- und Passivierungsschichten können mehrlagig aufgebaut sein. In einer weiteren Ausführungsform der Erfindung ist unmittelbar auf den Rändern der Kontaktflächen und der Prüfflächen und auf dem gesamten verbindenden Leitungssteg eine Siliciumdioxidschicht angeordnet. Zwischen dieser Siliciumdioxidschicht und einer abschließenden Polyimidschicht wird eine Siliciumnitridschicht vorgesehen, denn eine unmittelbar auf einer Siliciumdioxidschicht vorgesehene Polyimidschicht neigt zur Delamination. Dieser erfindungsgemäße Schichtaufbau hat den Vorteil einer verbesserten Haftung.

20

25

Darüber hinaus hat diese Schichtfolge den Vorteil, dass durch chemische Gasphasenabscheidung zunächst sowohl die Siliciumdioxidschicht als auch die Siliciumnitridschicht ganzflächig und unstrukturiert abgeschieden werden können und schließlich die photoempfindliche Polyimidschicht aufgebracht werden kann, in die dann Kontaktfenster beziehungsweise Prüffenster photolithographisch eingebracht werden. Nach kurzen Plasmaätzschritten lassen sich die darunterliegende Siliciumni-

30

FIN 404 P/200209467

7

tridschicht und die weiterhin vorhandene Siliciumdioxid-
schicht selektiv entfernen, so das für das Bonden oder das
Aufbringen von Flip-Chip-Kontakten die Kontaktflächen frei
liegen und für ein Prüfen zusätzlich zu jeder der Kontaktflä-
5 chen ein Fenster in der Isolations- und Passivierungsschicht
vorhanden ist.

Besonders wenn eine große Anzahl an Durchkontakten im Bereich
des Leistungssteiges angeordnet werden soll, so kann dieser
10 auch T-förmig ausgebildet sein. Dabei werden in dem breiteren
Querbalken des T, welcher der Breite eines Kontaktfensters in
der Passivierungsschicht entsprechen kann, die Durchkontakte
zu den Kupferleiterbahnen vorgesehen. Die Breite des Längs-
balkens des T kann im Hinblick auf eine maximal vorgesehene
15 Strombelastung beim Prüfen durch Prüfspitzen optimiert wer-
den, damit während des Prüfvorgangs keine unerwünschte Unter-
brechung der elektrischen Verbindung zwischen Prüffläche und
Kontaktfläche auftritt.

20 Die Prüfflächen können eine größere Länge als Breite aufwei-
sen, wobei sich deren Breite nach der Breite der Kontaktflä-
chen richtet. Die Prüfflächen haben vorteilhafterweise eine
Länge, die ein in Längsrichtung der Prüfflächen versetztes
Aufsetzen von zwei Prüfspitzen auf unmittelbar nebeneinander
25 gelegenen Prüfflächen zulässt. Die Länge der Prüfflächen
richtet sich dabei nach einem Mindestabstand zwischen beiden
Prüfspitzen. Somit können auch Prüfeinrichtungen mit Prüf-
spitzen verwendet werden, deren Mindestabstand wesentlich
größer ist als der Mittenabstand zwischen den Kontaktflächen
30 des erfindungsgemäßen Halbleiterchips.

Die obenstehenden Vorteile eine erfindungsgemäßen Anordnung von Kontaktflächen und Prüfflächen gelten auch für elektronische Bauteile mit Halbleiterchips.

- 5 Mit dem erfindungsgemäßen elektronischen Bauteil brauchen anders als in der US 5,506,499 nur noch die Kontaktflächen in einem passiven ersten Bereich vorgesehen werden. Der gesamte aktive zweite Bereich der Oberseite eines Halbleiterchips mit Komponenten von integrierten Schaltungen steht dann für die
- 10 Anordnung von Prüfflächen zur Verfügung. Gegenüber der US 5,506,499 kann also ein verringertes Rastermaß für Bondverbindungen beziehungsweise für Flip-Chip-Kontakte bereitgestellt werden. Gleichzeitig können die Prüfflächen beliebig groß gestaltet werden, solange ihre Breite dem Rastermaß der
- 15 Bondverbindungen beziehungsweise dem Rastermaß der Flip-Chip-Kontakte angepasst ist und die benötigte Halbleiterchipfläche minimiert ist. Dadurch wird auch der Raumbedarf des erfindungsgemäßen elektronischen Bauteils vermindert.
- 20 Das Anordnen der Prüfflächen in dem zweiten Bereich der Oberseite des Halbleiterchips mit Komponenten einer integrierten Schaltung ermöglicht ferner eine höhere Dichte der möglichen Bondverbindungen beziehungsweise der möglichen Flip-Chip-Kontakte für einen Halbleiterchip ohne den Oberflächenbedarf eines Halbleiterchips zu vergrößern. Vielmehr wird der Oberflächenbedarf gegenüber der aus der US 5,506,499 bekannten
- 25 Lösung weiter verringert.
- 30 Bei einem erfindungsgemäßen Verfahren wird ein Halbleiterwafer mit einer Vielzahl von Bereichen je eines Halbleiterchips nachgearbeitet. Nach dem Bereitstellen eines Halbleiterwafers, der Prüfflächen in einem Bereich mit Komponenten einer integrierten Schaltung aufweist, wird darauf einer Funkti-

FIN 404 P/200209467

9

onsprüfung durchgeführt. Dabei werden defekte Halbleiterchips
markiert und - optional - danach die Prüfflächen der Halblei-
terchips auf dem gesamten Wafer versiegelt. Das Versiegeln
der Prüfflächen kann dabei durch Aufbringen einer insbesonde-
5 re strukturierten Photolackschicht oder Lötstopplackschicht
erfolgen, und zwar unter Freilassen der Kontaktflächen. Dabei
verhindert die Lötstopplackschicht ein späteres ungewolltes
Kontaktieren der Prüfflächen mit Flip-Chip-Technik, denn dann
können keine Lötballs mehr daran haften bleiben. Ein etwaiger
10 vorgesehener Photolack reicht für das Vermeiden von Fehl-
bondungen aus.

Zusammenfassend ist festzustellen, dass das wesentliche Pro-
blem eines Probing bzw. Prüfen der Funktionsfähigkeit eines
15 Halbleiterchips auf Waferebene und eines Bondens zur Herstel-
lung von Bondverbindungen durch Trennung der Öffnungen bzw.
Fenster für das Probing und das Bonden mit dieser Erfindung
gelöst wird. Darüber hinaus werden die Prüföffnungen in die-
ser Erfindung über aktiven Strukturen angeordnet, so dass le-
20 diglich für die Kontaktöffnungen und die Kontaktflächen zu-
sätzliche Halbleiterflächenbereiche ohne jede aktive Funktion
einzusetzen sind bzw. benötigt werden.

Damit kann die Probing-Öffnung über aktiven Strukturen ohne
25 Einfluss auf die Chipflächengröße relativ groß gewählt wer-
den, wobei diese Größe es dann erlaubt, dass durch vertikale
Prüfspitzen oder Nadelkarten, wie sie sonst nur für große Ra-
stermaße eingesetzt werden, auch für beliebig verringerte Ra-
stermaße nun verwendet werden können, wenn beispielsweise die
30 Prüfspitzen beziehungsweise Nadeln in zwei Reihen versetzt
zueinander angeordnet werden.

Die Erfindung wird anhand von Ausführungsformen mit Bezug auf die beiliegenden Figuren näher erörtert.

- Figur 1 zeigt schematisch eine Anordnung von Kontaktflächen und Prüfflächen auf einem Halbleiterchip gemäß einer ersten Ausführungsform der Erfindung,
- Figur 2 zeigt einen schematischen Querschnitt durch einen Halbleiterchip mit der in Figur 1 gezeigten Anordnung, und
- Figur 3 zeigt schematisch eine Anordnung einer Kontaktfläche und einer Prüffläche mit verbindendem Leitungsteg gemäß einer zweiten Ausführungsform der Erfindung.
- Figur 1 zeigt einen Abschnitt eines Halbleiterchips 3 gemäß einer ersten Ausführungsform der Erfindung. Der Halbleiterchip 3 gliedert sich in einen passiven ersten Bereich 5, der keine Komponenten einer integrierten Schaltung aufweist, und in einen zweiten Bereich 7, der aktive Komponenten einer hier nicht sichtbaren integrierten Schaltung aufweist. Die Grenze zwischen dem ersten Bereich 5 und dem zweiten Bereich 7 ist durch die strichdoppelpunktierte Linie 10 markiert.
- Auf dem ersten Bereich 5 sind Kontaktflächen 1 angeordnet.
- Auf dem zweiten Bereich 7 sind Prüfflächen 2 vorgesehen. Die Breite b_x der Kontaktflächen 1 richtet sich nach dem gewünschten Rastermaß r der Bondverbindungen beziehungsweise nach dem gewünschten Rastermaß r der Flip-Chip-Kontakte, die darauf unterzubringen sind. Hier beträgt das Rastermaß r ca. 60 μm . Die Breite b_x der Kontaktflächen 1 beträgt ca. 52 μm . Die Kontaktflächen 1 sind hinsichtlich Ihrer Flächenausdehnung zu dem gewünschten Rastermaß optimiert und weisen eine

quadratische Struktur auf. Die Länge l_k der Kontaktflächen 1 beträgt dementsprechend ca. 52 μm .

Je eine Kontaktfläche 1 und eine Prüffläche 2 sind über einen
5 Leitungssteg 4 miteinander verbunden. Diese Komponenten sind
in Mikrometer-Technologie hergestellt. Der Leitungssteg 4 ist
T-förmig ausgebildet. In seinem Querbalken 21 weist er hier
nicht gezeigte Durchkontakte zu darunter liegenden Leiter-
bahnlagern auf.

10

Auf den Kontaktflächen 1 sind Bondballs 38 angeordnet.

Die Oberfläche des Halbleiterchips 3 ist bis auf Bereiche von
Kontaktfenstern und Prüffestern, die hier mit den Kontakt-
15 flächen 1 und mit den Prüfflächen 2 übereinstimmen, von einer
Isolations- und Passivierungsschicht bedeckt. Diese Isola-
tions- und Passivierungsschicht wird im wesentlichen zum
Schutz der aktiven Komponenten der integrierten Halbleiter-
schaltungen im zweiten Bereich 7 aufgebracht.

20

Der T-förmige Leitungssteg 4 weist einen Längsbalken 22 auf,
der den Bereich der Kontaktfläche 1 mit dem Bereich der
Prüffläche 2 verbindet. Die Prüffläche 2 kann bei gleichblei-
bender Breite b_p prinzipiell eine beliebige Länge l_p aufwei-
25 sen, ohne daß eine zusätzliche Oberfläche des Halbleiterchips
3 verbraucht wird. In dieser Ausführungsform der Erfindung
beträgt die Länge l_p beträgt 125 μm . Aus den geometrischen
Randbedingungen ergibt sich, daß mit einer Prüfspitzenkarte
gearbeitet werden kann, die einen minimalen Abstand zwischen
30 den Prüfspitzen von 90 μm vorschreibt, ohne daß dabei Pro-
bleme auftreten. Der Abstand a in Figur 1 kennzeichnet den
minimalen Prüfspitzenabstand zwischen zwei Meßpunkten 13 ei-
ner solchen Prüfspitzenkarte. Dazu sind die Messpunkte 13 von

benachbarten Prüfflächen 2 bezüglich der Längsachse der Prüfflächen versetzt zueinander angeordnet.

5 In einem hier nicht gezeigten Ausführungsbeispiel sind die Prüfflächen derart verlängert, daß auf einer Prüffläche zwei Prüfspitzen gleichzeitig aufgesetzt werden können.

Figur 2 zeigt einen Querschnitt durch einen Halbleiterchip 3 mit der in Figur 1 gezeigten Anordnung von Kontaktflächen 1 und Prüfflächen 2. Komponenten mit gleichen Funktionen wie in 10 Figur 1 werden mit gleichen Bezugszeichen gekennzeichnet und nicht extra erörtert.

Die hier gezeigte Anordnung aus Kontaktfläche 1, aus verbindendem Leitungssteg 4 und aus Prüffläche 2 weist eine einlagige Schicht Al aus einer Aluminiumlegierung auf. Im Bereich 15 des Leitungssteges 4 ist diese Schicht mit Durchkontakten 9 verbunden, die aus einer Aluminiumlegierung aufgebaut sind. Die Durchkontakte 9 gehen durch die elektrisch isolierende 20 Schicht 8 aus Siliciumdioxid hindurch und verbinden die Kontaktfläche 1 mit darunter liegenden, in Sub-Mikrometer-Technologie hergestellten Leiterbahnen 11 aus Kupfer. Diese Leiterbahnen 11 reichen in den aktiven Bereich 7 des Halbleiterchips 3 hinein, der in dieser Ausführungsform der Erfindung 25 mehrere MOS-Transistoren 24 aufweist.

Diese MOS-Transistoren 24 sind in einen n-leitenden Silicium-einkristallbereich 25 eingebettet und weisen einen p⁺-Si-Bereich als Source 26 des MOS-Transistors 24 auf und einen 30 weiteren p⁺-Si-Bereich als Drain 27 auf. Dazwischen ist ein Kanalbereich 28 angeordnet, der von einem Gateoxid 29 abgedeckt ist und von einer in Sub-Mikrometer-Technologie realisierten Gateelektrode 30 aus polykristallinem Silicium ge-

steuert wird. Darüber ist eine Kupferzuleitung 31 angeordnet, die mit den Durchkontakten 9 in Verbindung stehen kann. Zwischen einem derartigen aktiven Bauelement einer integrierten Schaltung und der Prüffläche 2 ist die elektrisch isolierende Schicht 8 angeordnet, die in dieser Ausführungsform der Erfindung Siliciumdioxid aufweist. Beim Testen der Funktion des Halbleiterchips 3 mit einer Testspitze 23 im darüber liegenden Messpunkt 13 wird somit die darunter liegende aktive Komponente nicht elektrisch belastet. Eine mechanische Belastung dieser darunter liegenden Komponenten wird durch das Vorsehen der elastisch ausgestalteten Testspitze vermieden.

Figur 3 zeigt eine schematische Draufsicht auf eine erfindungsgemäße Anordnung innerhalb einer Begrenzungslinie 33, deren Breite dem Rastermaß gewünschter Bondverbindungen beziehungsweise dem Rastermaß gewünschter Flip-Chip-Kontakte von ca. 60 µm. entspricht. Komponenten mit gleichen Funktionen wie in den vorhergehenden Figuren werden mit gleichen Bezugszeichen gekennzeichnet und nicht extra erörtert. Die Anordnung ist mit dem kleineren Anteil über dem ersten passiven Bereich 5 und mit einem größeren Anteil auf dem zweiten Bereich 7 mit aktiven Bauteilen des Halbleiterchips 3 angeordnet. Die strichdoppelpunktierte Linie 10 kennzeichnet die Grenze zwischen dem darunter liegenden passivem Bereich 5 und dem darunter liegenden zweiten aktiven Bereich 7.

Die Anordnung ist auf einer durchgehenden metallisierten Fläche ausgebildet, deren Außenkontur durch die Begrenzungslinie 34 beschrieben wird. Auf der metallisierten Fläche ist eine Kontaktfläche 1 und eine Prüffläche 2 vorgesehen, und zwar jeweils mit einer Breite von ca. 56 µm. Dazwischen liegt in gleichbleibender Breite von ca. 56 µm ein Bereich eines Lei-

tungsstegs 4; von dem aus Durchkontakte 9 zu darunter liegenden Kupferleiterbahnen führen.

- Nahezu der gesamte Bereich des Leitungsstegs 4 einschließlich der Durchkontakte 9 ist von der Isolations- und Passivierungsschicht 15 bedeckt. Die Isolations- und Passivierungsschicht 15 deckt auch die Ränder 16 der Kontaktfläche 1 und der Prüffläche 2 ab. Nur ein quadratisches Kontaktfenster 14 von $52 \times 52 \mu\text{m}$ und ein rechteckförmiges Prüffenster 32 von $52 \times 125 \mu\text{m}$ bleiben von der Isolations- und Passivierungsschicht 15 frei. Innerhalb des Kontaktfensters 14 und des Prüffenters 32 bleibt ein Zugriff auf die metallisierte Fläche bestehen.
- 15 Nach dem Prüfen auf dem Prüffenster 32 wird dieses mit einer hier nicht dargestellten Schutzschicht versiegelt.

Bezugszeichenliste

- | | | |
|----|----|--|
| | 1 | Kontaktfläche |
| | 2 | Prüfffläche |
| 5 | 3 | Halbleiterkörper |
| | 4 | Leitungssteg |
| | 5 | erster Bereich mit Kontaktflächen |
| | 6 | Komponente einer integrierten Schaltung |
| | 7 | zweiter Bereich mit Prüffflächen |
| 10 | 8 | elektrisch isolierende Schicht |
| | 9 | Durchkontakte |
| | 10 | strichdoppelpunktierte Linie |
| | 11 | Leiterbahnen |
| | 12 | Elektroden |
| 15 | 13 | Messpunkte |
| | 14 | Bondfenster |
| | 15 | Isolations- und Passivierungsschicht |
| | 16 | Ränder der Kontakt- und Prüffflächen |
| | 17 | Siliciumdioxidschicht |
| 20 | 18 | Siliciumnitridschicht |
| | 19 | Polyimidschicht |
| | 20 | Bondverbindung |
| | 21 | Querbalken des T-förmigen Leitungsstegs |
| | 22 | Längsbalken des T-förmigen Leitungsstegs |
| 25 | 23 | Prüfspitze |
| | 24 | MOS-Transistor |
| | 25 | n-Si-Bereich |
| | 26 | Source |
| | 27 | Drain |
| 30 | 28 | Kanalbereich |
| | 29 | Gateoxid |
| | 30 | Gateelektrode |
| | 31 | Kupferleiterbahn |

- 32 Prüffenster
33 äußere Begrenzungslinie
34 Begrenzungslinie der Metallisierung
35 Begrenzungslinie des Prüffesters
5 36 Begrenzungslinie des Kontaktfensters
37 Begrenzungslinie der Durchkontakte
38 Bondball
 b_K Breite der Kontaktfläche
 b_P Breite der Prüffläche
10 l_P Länge der Prüffläche
 l_K Länge der Kontaktfläche
 a Abstand zwischen versetzt benachbarten Prüfspitzen
 r Rastermaß

Patentansprüche

1. Halbleiterwafer mit einer Vielzahl von Halbleiterchips, wobei die Halbleiterchips eine Anordnung von jeweils elektrisch leitend miteinander verbundenen Kontaktflächen (1) und Prüfflächen (2) aufweisen, und wobei die Kontaktflächen (1) in einem ersten passiven Bereich (5) der Oberseite des Halbleiterchips (3) angeordnet sind, der keine Komponenten (6) einer integrierten Schaltung aufweist, und wobei die Prüfflächen (2) in einem zweiten aktiven Bereich (7) der Oberseite des Halbleiterchips (3) angeordnet sind, der Komponenten (6) einer integrierten Schaltung aufweist.
2. Halbleiterchip mit einer Anordnung von jeweils elektrisch leitend miteinander verbundenen Kontaktflächen (1) und Prüfflächen (2), wobei die Kontaktflächen (1) in einem passiven ersten Bereich (5) der Oberseite des Halbleiterchips (3) angeordnet sind, der keine Komponenten (6) einer integrierten Schaltung aufweist und wobei die Prüfflächen (2) in einem aktiven zweiten Bereich (7) der Oberseite des Halbleiterchips (3) angeordnet sind, der Komponenten (6) einer integrierten Schaltung aufweist.
3. Halbleiterwafer oder Halbleiterchip nach Anspruch 1 oder Anspruch 2, dadurch gekennzeichnet, dass zwischen den Komponenten (6) einer integrierten Schaltung und den Prüfflächen (2) des Halbleiterchips (3) mindestens eine elektrisch isolierende Schicht (8) mit insbesondere Siliciumdioxid und/oder Siliciumnitrid angeordnet ist.

4. Halbleiterwafer oder Halbleiterchip nach einem der vorhergehenden Ansprüche,
5 dadurch gekennzeichnet, dass
die Kontaktflächen (1) und die Prüfflächen (2) über einen Leitungssteg (4) elektrisch leitend verbunden sind.
- 10 5. Halbleiterwafer oder Halbleiterchip nach Anspruch 4,
dadurch gekennzeichnet, dass
im Bereich des Leitungsteges (4) Durchkontakte (9) durch eine isolierende Schicht (8) angeordnet sind, wobei die Durchkontakte (9) mit Leiterbahnen (11) zu den Elektroden (12) der Komponenten (6) der integrierten
15 Schaltung verbunden sind.
6. Halbleiterwafer oder Halbleiterchip nach Anspruch 5,
dadurch gekennzeichnet, dass
die Leiterbahnen (11) zu den Elektroden (12) der Komponenten (6) der integrierten Schaltung Kupfer oder eine
20 Kupferlegierung aufweisen.
7. Halbleiterwafer oder Halbleiterchip nach einem der Ansprüche 4 bis 6,
25 dadurch gekennzeichnet, dass
die Kontaktflächen (1) und die Prüfflächen (2) an ihren Rändern (16) und der Leitungssteg (4) auf seiner Oberseite eine mehrlagige Isolations- und Passivierungsschicht (15) aufweisen.
30
8. Halbleiterwafer oder Halbleiterchip nach Anspruch 7,
dadurch gekennzeichnet, dass
die mehrlagige Isolation- und Passivierungsschicht (15)

eine Siliciumdioxidschicht (17) aufweist, die unmittelbar auf den Rändern (16) der Kontaktflächen (1) und der Prüfflächen (2) und auf dem verbindenden Leitungsteg (4) angeordnet ist.

- 5
9. Halbleiterwafer oder Halbleiterchip nach Anspruch 7 oder Anspruch 8,
dadurch gekennzeichnet, dass
die mehrlagige Isolations- und Passivierungsschicht (15)
10 eine Siliciumnitridschicht (18) und eine Polyimidschicht (19) aufweist.
- 15
10. Halbleiterwafer oder Halbleiterchip nach einem der Ansprüche 4 bis 9,
dadurch gekennzeichnet, dass
der Leitungsteg (4) T-förmig ausgebildet ist, wobei
der Querbalken (21) des T an die Breite der Kontaktflächen angepasst ist und Durchkontakte (9) zu Leiterbahnen
(11) aufweist, während der Längsbalken (22) des T der
20 maximalen Strombelastung beim Prüfen durch Prüfspitzen (23) angepasst ist.
- 25
11. Halbleiterwafer oder Halbleiterchip nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass
die Prüfflächen (2) in ihrer Breite (b_p) der Breite der Kontaktflächen angepasst sind und eine Länge (l_p) aufweisen, die größer ist als ihre Breite (b_p).
- 30
13. Elektronisches Bauteil mit einem Halbleiterchip, wobei der Halbleiterchip eine Anordnung von jeweils elektrisch leitend miteinander verbundenen Kontaktflächen (1) und Prüfflächen (2), wobei die Kontaktflächen (1) in einem

- passiven ersten Bereich (5) der Oberseite des Halbleiterchips (3) angeordnet sind, der keine Komponenten (6) einer integrierten Schaltung aufweist und wobei die Prüfflächen (2) in einem aktiven zweiten Bereich (7) der Oberseite des Halbleiterchips (3) angeordnet sind, der Komponenten (6) einer integrierten Schaltung aufweist.
14. Elektronisches Bauteil nach Anspruch 13 sowie nach einem der Ansprüche 3 bis 12.
15. Verfahren zur Nachbearbeitung eines Halbleiterwafers gemäß einem der Ansprüche 1 bis 11, wobei das Verfahren folgende Verfahrensschritte aufweist:
- a) Bereitstellen des Halbleiterwafers,
 - b) Durchführen einer Funktionsprüfung mit einer Prüfeinrichtung, die Prüfspitzen aufweist,
 - c) Markieren der defekten Halbleiterchips.
16. Verfahren nach Anspruch 15, dadurch gekennzeichnet, daß der Schritt des Versiegeln der Prüfflächen vorgesehen ist.
17. Verfahren nach Anspruch 16, dadurch gekennzeichnet, daß das Versiegeln der Prüfflächen durch Aufbringen einer strukturierten Photolackschicht oder Lötstopplackschicht erfolgt.
18. Verfahren nach einem der Ansprüche 15 bis 17, dadurch gekennzeichnet, daß die Prüfspitzen beim Durchführen einer Funktionsprüfung von Prüffläche zu Prüffläche versetzt angeordnet werden.

Fig. 1

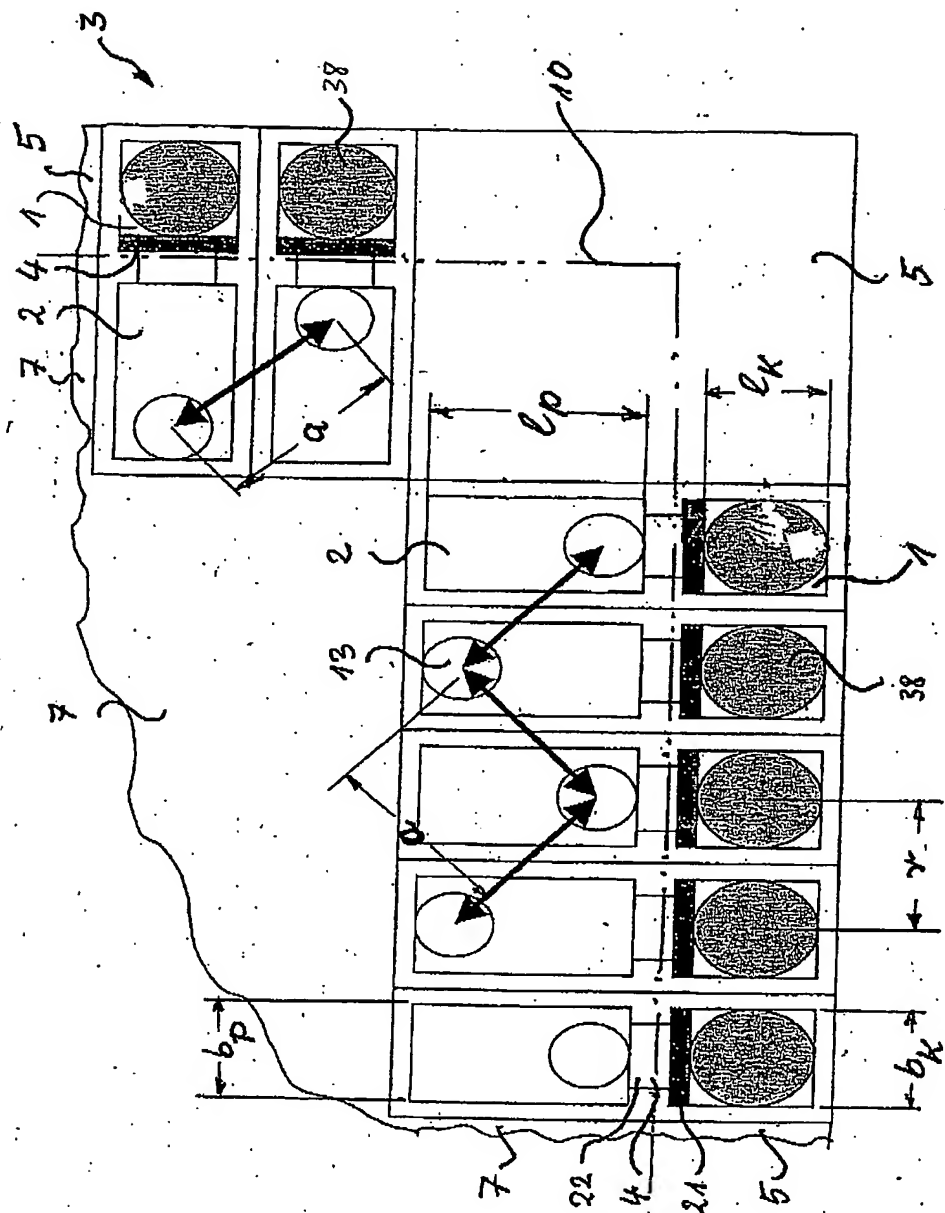


Fig. 2

